

㊤ 公開特許公報(A) 昭62-9639

㊤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

㊤ 公開 昭和62年(1987)1月17日

H 01 L 21/56

R-6835-5F

審査請求 未請求 発明の数 1 (全2頁)

㊤ 発明の名称 半導体装置の製造方法

㊤ 特 願 昭60-148964

㊤ 出 願 昭60(1985)7月5日

㊤ 発 明 者 鹿 俣 常 郎 山形市北町4丁目12番12号 山形日本電気株式会社内

㊤ 出 願 人 山形日本電気株式会社 山形市北町4丁目12番12号

㊤ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

パターンニングされた配線を有するプリント配線基板上に半導体チップを搭載し、該半導体チップの電極と前記配線との接続を行い、側面封止体とこれを切断分離することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法に關し、特に小信号トランジスタ、ダイオード、小信号ICのチップ部品を信頼度高くかつ安価に提供するためのものである。

(従来の技術)

従来、この種の半導体チップ部品は、パナトン

ダされたリードフレームに半導体ベレットを搭載・封絶を行ったのち、リード形状の加工を行いチップ形状にするものや、セラミック部品に半導体ベレットを搭載・封絶し樹脂封止するものがある。

(発明が解決しようとする問題点)

従来の製造に基づくものは、前者の例では封止後にリード加工を行うために耐湿性等の面で劣化が見られる外、形状寸法のバラツキが大きいという欠点があり、後者工程でのトラブルの原因となっている。

又、後者の例では、材料が高価である等の外に材料多量の寸法バラツキ、封止寸法バラツキが大きいという欠点があり、やはり実装工程でのトラブルの原因となっている。

(問題点を解決するための手段)

本発明は、あらかじめ素子構造に合致したパターンニングを施したプリント配線基板上に半導体ベレットを搭載し、必要な内部結線を行い、その後素子面を側面封止し、しかる後封止膜プリント配線基板を切断分離し、個々の半導体素子に分離

するものである。この時、素子の製造特性の相違やマージン等の工程は切断・分断の前移いすれでもよく、素子構造やプロセスの最適化により最もやりやすい工程で行えばよい。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は完成した装置の側面及び断面を挟んでいる。第2図内は本装置の組立に用いるプリント配線基板の側断面図、同図内はこのプリント配線基板の平面部分図である。以降図面に従い組立工程を説明する。

プリント配線基板1に半導体ベレット3をソルダー2で取りつけ固定し、ボンディングワイヤー4で結線する。この様子を第3図に示す。次に、素子面を樹脂5で封止する。封止は全面でも部分的に行ってもよい。第4図にこれを示す。最後に素子を切断分離し完成品となる。この様子を第5図に示す。切断はスルーホール中央部を正確に行う事により、裏面の突起用コンタクトとの連絡を損うことなく分離出来る。

第5図は樹脂封止後の基板を切断分離し、個々の装置として完成した様子を示している断面図である。

1……プリント配線基板、2……マウントソルダー、3……半導体ベレット、4……ボンディングワイヤー、5……封止樹脂。

代理人 井原士 内 張 賢

〔発明の効果〕

以上説明した様に、本発明によれば加工精度が高く品質のよい、小径リードレスチップキャリア素子が得られる。外形は従来のリード加工によるチップキャリアに比較し30～50μm小型化する事ができ、今後の小型化志向にも十分対応できる。素子は小型のダイオードやトランジスタから、大形のLSI素子まで広く適用出来、その効果は顕著なものである。

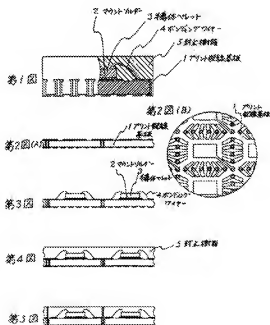
#### 4. 図面の簡単な説明

第1図は本発明の一実施例による半導体装置の部分断面を示した側面図である。

第2図内および第2図内はそれぞれプリント配線基板の断面および平面図である。

第3図はプリント配線基板に半導体ベレットを搭載し外面端子と結線した様子を示している側面図である。

第4図は半導体素子面を保護用樹脂で封止した様子を示す断面図である。



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-009639

(43)Date of publication of application : 17.01.1987

(51)Int.Cl.

H01L 21/56

(21)Application number : 60-148864

(71)Applicant : NEC YAMAGATA LTD

(22)Date of filing : 05.07.1985

(72)Inventor : KAMATA TSUNEO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the irregularity in shape and size of the titled semiconductor device by a method wherein a semiconductor pellet is mounted on the printed wiring substrate on which the patterning corresponded to an element structure is provided in advance, and after the surface of the element is sealed with resin, the sealed printed wiring substrate is cut and isolated.

**CONSTITUTION:** A semiconductor pellet 3 is mounted and fixed on a printed wiring substrate 1 using solder 2, and a wiring is performed thereon using a bonding wire 4. Then, the surface of an element is sealed by resin 5, and lastly, the element is isolated by cutting and a finished article is obtained. The substrate can be isolated without damaging the coupling with the contact to be used for mounting on the back side by cutting the center part of a through hole accurately. As a result, a small-sized leadless chip carrier element of high working accuracy and excellent quality can be obtained.

